

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199148

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 05-337318

(71)Applicant : SHARP CORP

(22)Date of filing : 28.12.1993

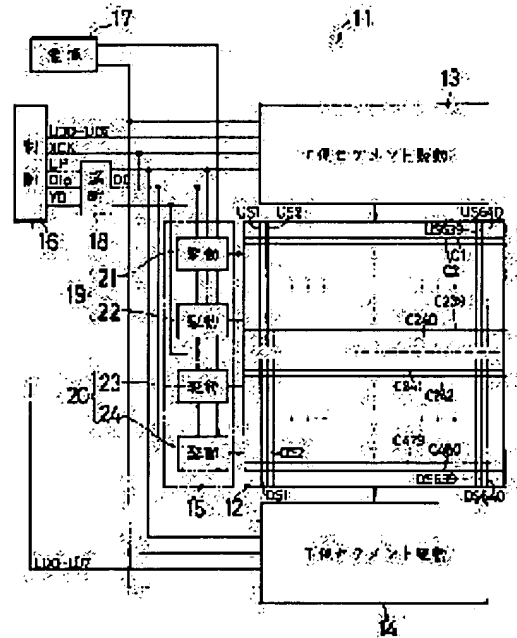
(72)Inventor : OMORI TAKUO

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a display device which can prevent irregularities of a displayed picture and destruction of a driving means caused by disturbance of a display control signal.

CONSTITUTION: When a clock signal YD prescribing one display period of a liquid crystal panel 12 becomes abnormal, concretely, a high level period of the clock signal YD becomes longer than that of a normal time, a cut-off circuit 18 falls forcedly a display enabled signal DI to a low level. Thereby, driving circuits 13-15 supply forcedly a ground potential to each electrode. Therefore, driving voltage is not applied to the liquid crystal panel 12, a picture not desired is never displayed. Also, even when plural common electrodes are simultaneously selected being caused by abnormality of the clock signal YD, since the driving circuit 15 supplies a ground potential to all common electrodes, a large current is not made to flow in a circuit, and the circuit is not destroyed by a cause such as latch up.



LEGAL STATUS

[Date of request for examination] 25.07.1997

[Date of sending the examiner's decision of rejection] 08.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3131341

[Date of registration] 17.11.2000

[Number of appeal against examiner's decision of rejection] 11-11249

[Date of requesting appeal against examiner's decision of rejection] 08.07.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 9 9 1 4 8

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
 G 0 2 F 1/133 5 2 0
 G 0 9 G 3/36

審査請求 未請求 請求項の数 1

O L

(全 1 2 頁)

(21) 出願番号 特願平5-337318

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大森 拓郎

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

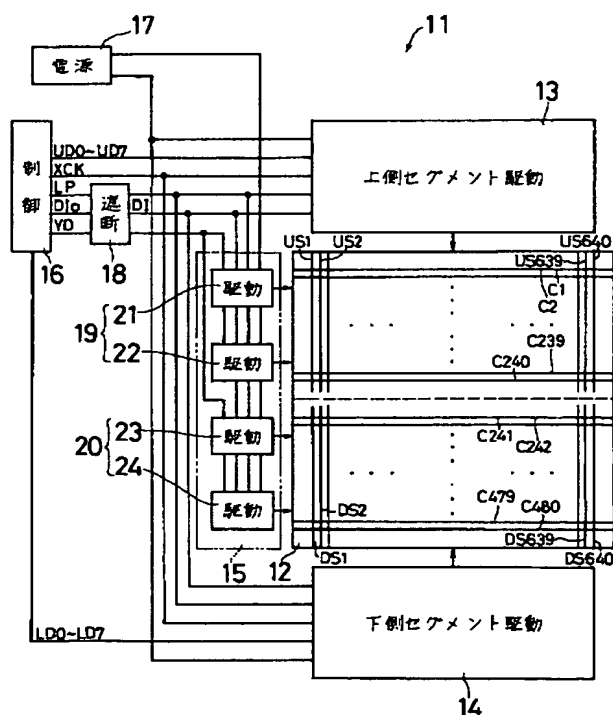
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 表示制御信号の乱れに起因する表示画像の乱れおよび駆動手段の破壊を防止することができる表示装置を提供する。

【構成】 遮断回路 18 は、液晶パネル 12 の 1 表示期間を規定するクロック信号 YD の異常、具体的にはクロック信号 YD のハイレベル期間が正常時よりも長くなったときに、表示許可信号 DI を強制的にローレベルに立下げる。これによって、前記駆動回路 13 ~ 15 は、各電極に強制的にグランド電位を供給する。したがって、液晶パネル 12 には、駆動電圧が印加されず、不所望な画像が表示されることはない。また、クロック信号 YD の異常に起因して複数のコモン電極が同時に選択された場合であっても、駆動回路 15 は、全てのコモン電極にグランド電位を供給するので回路内を大電流が流れることはなく、ラッチアップなどが原因で回路が破壊されることはない。



【特許請求の範囲】

【請求項 1】 表示手段と、

前記表示手段を駆動する駆動手段と、
前記駆動手段に、表示駆動に必要な表示制御信号と、電力とを供給する制御手段と、
前記表示制御信号の異常を検知する検知手段と、
前記検知手段の出力にตอบสนองして、前記駆動手段への電力の供給を遮断する手段とを含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置などに好適に実施される表示装置に関する。

【0002】

【従来の技術】図 12 は、従来例である液晶表示装置 1 の簡略化した構成を示すブロック図である。液晶表示装置 1 は、液晶パネル 2 と、セグメント駆動回路 3 と、コモン駆動回路 4 と、制御回路 5 と、電源回路 6 とを含む。

【0003】液晶パネル 2 は、一対の基板間に液晶層が介在されて構成される。一対の基板は、それぞれ、ガラスなどの透光性基板の一方表面に、互いに並行に配置される複数の帯状電極と、帯状電極が形成された一方表面のほぼ全面を覆う配向膜とが形成されて構成される。一対の基板は、各基板が有する帯状電極の長手方向が直交するように、かつ各基板が有する配向膜が対向するように、間隔をあけて配置され、各基板の周縁部付近が接着剤によって接着される。前記一対の基板と接着剤とによって形成された空間内に液晶材料が注入され封止される。

【0004】このような構成の液晶パネル 2 において、一方基板側の帯状電極がセグメント電極 $S_1 \sim S_m$ となり、他方基板側の帯状電極がコモン電極 $C_1 \sim C_n$ となる。セグメント電極 $S_1 \sim S_m$ には、セグメント駆動回路 3 から所定の駆動信号が印加され、コモン電極 $C_1 \sim C_n$ にはコモン駆動回路 4 から所定の駆動信号が印加される。

【0005】液晶パネル 2 では、コモン電極とセグメント電極との交差部分の液晶材料が絵素となる。したがって液晶パネル 2 では、 $n \times m$ 個の絵素が行列状に配列していることになる。この絵素を選択的に駆動することによって、画像が表示される。

【0006】コモン駆動回路 4 は、後述する制御回路 5 によって制御され、予め定める期間（以下、「1 表示期間」という）において、コモン電極 $C_1 \sim C_n$ に 1 本ずつ線順次で、予め定める電位の信号（以下、「走査信号」という）を印加する。1 本のコモン電極に走査信号が印加されている期間を、1 水平表示期間とする。

【0007】セグメント駆動回路 3 は、制御回路 5 から与えられる表示データに基づいて、1 水平表示期間毎

に、セグメント電極 $S_1 \sim S_m$ に、表示データに基づいた電位の信号（以下、「表示信号」という）を印加する。セグメント駆動回路 3 は、複数のセグメント電極にそれぞれ対応した複数のシフトレジスタを有し、制御回路 5 から与えられるクロック信号 XCK にตอบสนองして、与えられるデータ $D_0 \sim D_7$ を順次シフトさせながら、シフトレジスタに書込む。全ての表示データの書込みが終了した時点で、一括してセグメント電極に前記書込まれた表示データに対応する表示信号を印加する。表示データの書込みは、書込むべき表示データの直前に書込まれた表示データに対する表示信号の印加が行われている水平表示期間内に行われる。

【0008】制御回路 5 は、表示データ $D_0 \sim D_7$ と、クロック信号 XCK 、 LP とをセグメント駆動回路 3 に与え、クロック信号 LP 、 YD をコモン駆動回路 4 に与える。クロック信号 YD は、前記 1 表示期間を規定するクロック信号である。クロック信号 LP は、前記 1 水平表示期間を規定するクロック信号である。したがって、1 表示期間内に n 個のパルスが出力される。クロック信号 XCK は、前述したようにセグメント駆動回路 3 が備えるシフトレジスタへの書込み動作を規定するクロック信号であり、1 水平表示期間内に m 個のパルスを出力する。

【0009】また制御回路 5 は、セグメント駆動回路 3 およびコモン駆動回路 4 に、それぞれ反転制御信号 M を出力する。反転制御信号 M は、液晶パネル 2 の各絵素に印加される駆動電圧の極性の反転を指示する信号である。これは、液晶材料に直流電圧を長時間印加すると、液晶材料が破壊されてしまうため、所定の期間毎に絵素である液晶材料に印加される電圧の極性を正極性から負極性へ、または負極性から正極性へと反転させる必要があるためである。このような駆動方法は、交流化反転駆動などと称される。

【0010】電源回路 6 は、セグメント駆動回路 3 およびコモン駆動回路 4 に、それぞれ駆動電圧を供給する。

【0011】図 13 は、液晶表示装置 1 の動作を示すタイミングチャートである。図 13 では、特にコモン駆動回路 4 の動作を示す。図 13 (1) は、クロック信号 YD を示す波形図である。クロック信号 YD は、1 表示期間 W_2 毎に、期間 W_1 だけハイレベルとなる信号である。図 13 (2) は、クロック信号 LP を示す波形図である。クロック信号 LP は、周期 W_3 のクロック信号である。周期 W_3 は、1 水平表示期間である。クロック信号 YD のハイレベル期間 W_1 は、周期 W_3 よりも短く、クロック信号 LP のハイレベル期間より長く選ばれ、かつ、クロック信号 LP のハイレベル期間が含まれるタイミングでハイレベルとされる。

【0012】図 13 (3) は、コモン電極 C_1 に印加される走査信号の波形図であり、図 13 (4) はコモン電極 C_2 に印加される走査信号の波形図である。コモン駆

動回路 4 は、コモン電極 C 1 に対応するラッチ回路によって、クロック信号 YD のハイレベルをクロック信号 LP の立下り時刻 t 0 でラッチし、次のクロック信号 LP の立下り時刻 t 1 までレベルを保持する。ハイレベルの信号が与えられている間、所定の電位の走査信号が、コモン電極 C 1 に印加される。同様に、時刻 t 1 から 1 周期 W 3 の間は、走査信号がコモン電極 C 2 に印加される。以下、コモン電極 C 3 ~ C n まで、走査信号が 1 本ずつ線順次で印加される。

【0013】

【発明が解決しようとする課題】図 1 4 は、液晶表示装置 1 の異常時の動作を示すタイミングチャートである。図 1 4 (1) に示すように、クロック信号 YD がハイレベルである期間 W 4 が、適正な期間 W 1 より長くなり、たとえばクロック信号 LP の周期 W 3 の 3 倍程度の長さになった場合、コモン電極 C 1 には、時刻 t 0 ~ t 3 までの間（周期 W 3 の 3 倍の時間）、走査信号が印加され、コモン電極 C 2 には、時刻 t 1 ~ t 4 までの間、走査信号が印加される。したがって時刻 t 1 ~ t 3 では、コモン電極 C 1、C 2 が同時に選択されることになる。

【0014】このため、セグメント駆動回路 3 からの表示信号が 2 本のコモン電極に同時に与えられるために、表示される画像が乱れて見苦しいものとなる。また、複数のコモン電極が同時に選択され、それぞれのコモン電極に走査信号を供給するために、コモン駆動回路 4 の内部に比較的大電流が流れ、ラッチアップが発生し、駆動回路を破壊するおそれがある。

【0015】上述の異常は、制御回路 5 が過渡状態で安定しない場合、液晶表示装置 1 の生産工程にある場合、さらに液晶表示装置 1 をパーソナルコンピュータなどの機器に組み込む場合などに起こり得る。制御回路 5 が安定しない場合とは、電源投入時や、液晶表示装置 1 が備える複数の表示モード（たとえば水平表示ライン数を変更する場合）を切替えるときなどである。生産工程にある場合とは、半田付け不良などでクロック信号 YD の信号線が他の信号線と短絡した場合などである。液晶表示装置 1 を機器に組み込む場合とは、クロック信号 YD の信号線が他の回路基板の信号線に接触した場合などである。

【0016】本発明の目的は、表示制御信号の乱れに起因する表示画像の乱れおよび駆動手段の破壊を防止することができる表示装置を提供することである。

【0017】

【課題を解決するための手段】本発明は、表示手段と、前記表示手段を駆動する駆動手段と、前記駆動手段に、表示駆動に必要な表示制御信号と、電力とを供給する制御手段と、前記表示制御信号の異常を検知する検知手段と、前記検知手段の出力にตอบสนองして、前記駆動手段への電力の供給を遮断する手段とを含むことを特徴とする表示装置である。

【0018】

【作用】本発明に従えば、液晶表示パネルなどの表示手段は、駆動手段によって駆動され画像が表示される。前記駆動手段には、制御手段から表示駆動に必要な表示制御信号と、電力とが供給される。ここで、表示制御信号に異常が発生したことが検知手段によって検知されると、当該検知手段の出力にตอบสนองして、前記駆動手段への電力供給が遮断される。このように、表示制御信号に異常が発生した場合に強制的に駆動手段への電力供給を遮断するので、表示制御信号の異常によって不所望な画像が表示手段に表示されることはなく、また不所望な動作によって駆動手段が破壊されることはない。

【0019】

【実施例】図 1 は、本発明の一実施例である液晶表示装置 1 1 の概略的構成を示すブロック図である。液晶表示装置 1 1 は、液晶パネル 1 2 と、上側セグメント駆動回路 1 3 と、下側セグメント駆動回路 1 4 と、コモン駆動回路 1 5 と、制御回路 1 6 と、電源回路 1 7 と、遮断回路 1 8 とを含む。

【0020】液晶パネル 1 2 は、一对の基板間に液晶層を介在させて構成される。一对の基板は、それぞれ、ガラスなどの透光性基板の一方表面に、互いに並行に配置される複数の帯状電極と、前記帯状電極が形成された一方表面全体を覆う配向膜とが形成されて構成される。本実施例では、一方基板に形成される帯状電極は、その長手方向長さの中間位置で分割されている。分割された 2 つの電極群のうち、一方電極群を上側セグメント電極群とし、他方電極群を下側セグメント電極群とする。上側セグメント電極群は、本実施例では 640 本の電極 US 1 ~ US 640 からなる。下側セグメント電極群は、本実施例では 640 本の電極 DS 1 ~ DS 640 からなる。また、他方基板に形成された電極がコモン電極となり、本実施例では、480 本の電極 C 1 ~ C 480 からなる。

【0021】液晶パネル 1 2 では、コモン電極とセグメント電極との交差部分に介在する液晶材料が絵素となる。したがって、実施例の液晶パネル 1 2 では、640 × 480 個の絵素が行列状に配列していることになる。この絵素を選択的に駆動することによって、液晶パネル 1 2 に画像が表示される。なお、液晶パネル 1 2 において、上側セグメント電極 US 1 ~ US 640 とコモン電極 C 1 ~ C 240 とによって形成される絵素が配列されている領域を上側面とし、下側セグメント電極 DS 1 ~ DS 640 とコモン電極 C 241 ~ C 480 とによって形成される絵素が配列されている領域を下側面とする。上側セグメント電極 US 1 ~ US 640 は、上側セグメント駆動回路 1 3 に接続され、下側セグメント電極 DS 1 ~ DS 640 は、下側セグメント電極駆動回路 1 4 に接続される。またコモン電極 C 1 ~ C 480 は、コモン駆動回路 1 5 に接続される。

【0022】コモン駆動回路15は、後述する制御回路16から与えられる表示制御信号に基づいて、予め定める1表示期間において、コモン電極C1～C480に線順次で予め定める走査信号を印加する。以下、このような動作を単に「走査」と称する。なお、1本のコモン電極に走査信号が印加されている期間が1水平表示期間となる。

【0023】コモン駆動回路15は、上側コモン駆動回路19と下側コモン駆動回路20を含む。上側コモン駆動回路19は、コモン電極C1～C240に1本ずつ線順次で走査信号を印加する。また下側コモン駆動回路20は、コモン電極C241～C480に1本ずつ線順次で走査信号を印加する。上側コモン駆動回路19および下側コモン駆動回路20は、1表示期間内に同時にかつ、同一タイミングで動作する。したがって、コモン電極C1、C241、コモン電極C2、C242というように、1水平表示期間において上画面のコモン電極と下画面のコモン電極とに同時に走査信号が印加される。このように電極を2分割して分割した2つの電極群を同時に走査することによって、分割しない場合に比べて1水平表示期間を2倍長くすることができ、絵素を良好に駆動することができる。

【0024】上側コモン駆動回路19は、駆動回路21、22を含む。駆動回路21は、コモン電極C1～C120を走査し、駆動回路22はコモン電極C121～C240を走査する。下側コモン駆動回路20は、駆動回路23、24を含む。駆動回路23は、コモン電極C241～C360を走査し、駆動回路24はコモン電極C361～C480を走査する。

【0025】上側セグメント駆動回路13は、制御回路16から与えられる表示データUD0～UD7に基づいて、1水平表示期間毎に上側セグメント電極US1～US640に、表示データに対応した表示信号を印加する。下側セグメント駆動回路14は、制御回路16からの表示データLD0～LD7に基づいて、1水平表示期間毎に下側セグメント電極DS1～DS640に、表示データに対応した表示信号を印加する。上側セグメント駆動回路13および下側セグメント駆動回路14は、同時に、かつ同一タイミングで動作する。したがって、たとえばコモン電極C1、C241が走査されている1水平表示期間では、上側セグメント駆動回路13は、コモン電極C1と上側セグメント電極US1～US640とによって形成される絵素を駆動し、下側セグメント駆動回路14はコモン電極C241と下側セグメント電極DS1～DS640とによって形成される絵素を駆動する。

【0026】制御回路16は、複数種類の表示制御信号を出力する。表示制御信号として、表示データUD0～UD7、LD0～LD7、クロック信号XCK、LP、YD、表示許可信号DIO、後述する極性反転信号Mが

含まれる。表示データUD0～UD7は、上側セグメント駆動回路13に与えられる。表示データLD0～LD7は、下側セグメント駆動回路14に与えられる。クロック信号XCKは、上側および下側セグメント駆動回路13、14にそれぞれ与えられる。クロック信号LP、YDおよび表示許可信号DIOは、後述する遮断回路18を介して、上側セグメント駆動回路13、下側セグメント駆動回路14およびコモン駆動回路15にそれぞれ与えられる。なお、遮断回路18は、後述する動作によって表示許可信号DIOを表示許可信号DIに変換して出力する。

【0027】電源回路17は、後述する構成によって、基準電圧から複数種類の電圧を生成し、上側セグメント駆動回路13、下側セグメント駆動回路14およびコモン駆動回路15にそれぞれ供給する。遮断回路18は、後述する構成によって、クロック信号YDの異常を検知し、表示許可信号DIOを強制的にローレベルに立下げて、出力する。

【0028】図2は、遮断回路18の構成例を示す回路図である。遮断回路18は、3個のフリップフロップ25～27と、2個のインバータ28、29を含む。フリップフロップ25は、D入力にクロック信号YDが与えられ、CK入力にインバータ28からの出力であるクロック信号LPの反転信号が与えられ、反転CL入力にインバータ29からの出力であるクロック信号YDの反転信号が与えられる。フリップフロップ25のQ出力である信号SAは、フリップフロップ26のD入力に与えられる。フリップフロップ25は、D入力に与えられるクロック信号YDのレベルを、クロック信号LPの立下りタイミングでラッチして、Q出力として出力し、クロック信号YDの立下りタイミングでリセットされる。

【0029】フリップフロップ26は、D入力にフリップフロップ25のQ出力である信号SAが与えられ、CK入力にインバータ28からの出力であるクロック信号LPの反転信号が与えられ、反転CL入力にインバータ29からの出力であるクロック信号YDの反転信号が与えられる。フリップフロップ26の反転Q出力である信号SBは、フリップフロップ27の反転CL入力に与えられる。フリップフロップ26は、フリップフロップ25のQ出力である信号SAのレベルを、クロック信号LPの立下りタイミングでラッチし、そのレベルを反転Q出力として出力し、クロック信号YDの立下りタイミングでリセットされる。

【0030】フリップフロップ27は、D入力に表示許可信号DIOが与えられ、CK入力にクロック信号YDが与えられ、反転CL入力にフリップフロップ26の反転Q出力である信号SBが与えられる。フリップフロップ27のQ出力は、表示許可信号DIとして出力される。フリップフロップ27は、表示許可信号DIOのレベルをクロック信号YDの立上りタイミングでラッチ

し、そのレベルをQ出力として出力し、フリップフロップ26の反転Q出力である信号SBの立下りタイミングでリセットされる。

【0031】図3は、コモン駆動回路15を構成する駆動回路21の構成例を示す回路図である。駆動回路21～24は、同一の構成であるので、ここでは駆動回路21を例にとり説明する。駆動回路21は、120個のフリップフロップF1～F120と、120個のセクタE1～E120と、インバータ30を含む。駆動回路21においては、1本のコモン電極に対して、それぞれ1つのフリップフロップとセクタとが対応する。

【0032】フリップフロップF1は、D入力にクロック信号YDが与えられ、CK入力にインバータ30の出力であるクロック信号LPの反転信号が与えられる。フリップフロップF1のQ出力は、セクタE1に与えられるとともに、次段のフリップフロップF2のD入力に与えられる。フリップフロップF1は、クロック信号YDのレベルを、クロック信号LPの立下りタイミングでラッチし、ラッチしたレベルをQ出力として出力する。

【0033】フリップフロップFi (i=2～120) は、D入力に前段のフリップフロップFi-1のQ出力が与えられ、CK入力にインバータ30の出力であるクロック信号LPの反転信号が与えられる。フリップフロップFiのQ出力は、セクタEiに与えられるとともに、次段のフリップフロップFi+1のD入力に与えられる。なお、フリップフロップF120のQ出力は、セクタE120のみに与えられる。フリップフロップFiは、前段のフリップフロップFi-1のQ出力のレベルを、クロック信号LPの立下りタイミングでラッチし、ラッチしたレベルをQ出力として出力する。

【0034】セクタEi (i=1～120) は、フリップフロップFiのQ出力、極性反転信号M、表示許可信号DIの各レベルに従って、後述する電源回路17から与えられる電圧信号V0、V1、V4、V5のうちのいずれか1つを選択して走査信号としてコモン電極Ciに出力する。

【0035】図4は、電源回路17の構成例を示す回路図である。電源回路17は、6個の抵抗R1～R6と5個のアンプ31～35を含む。この抵抗R1～R6は、この順序で直列に接続される。抵抗R1の接続側とは反対側端部に基準電圧VEEが与えられ、抵抗R6の接続側とは反対側端部はグラウンド電位とされる。抵抗R2～R6の各抵抗値の比は、R2:R3:R4:R5:R6=1:1:a:1:1に選ばれる。電源回路17は、基準電圧VEEを抵抗R1～R6によって抵抗分割して得られる複数の異なる電圧を駆動電圧V0～V5として出力する。

【0036】抵抗R1とR2との接続点の電圧は、アンプ31によって、低インピーダンスにして駆動電圧V0として出力される。抵抗R2とR3との接続点の電圧は

アンプ32によって、低インピーダンスにして駆動電圧V1として出力される。抵抗R3とR4との接続点の電圧は、アンプ33によって低インピーダンスにして駆動電圧V2として出力される。抵抗R4とR5と接続点の電圧は、アンプ34によって低インピーダンスにして駆動電圧V3として出力される。抵抗R5とR6との接続点の電圧は、アンプ35によって低インピーダンスにして駆動電圧V4として出力される。なお、グラウンド電位は駆動電圧V5として出力される。

【0037】図5は、駆動回路21が備えるセクタE1の構成例を示す回路図である。セクタE1～E120は、同一の構成であるので、セクタE1を例にとり説明する。セクタE1は、4つのスイッチング素子36～39と、論理回路40を含む。スイッチング素子36～39は、トランジスタなどで実現され、論理回路40からの制御信号G1～G4によって導通/遮断が制御される。スイッチング素子36～39の各一方端には、それぞれ駆動電圧V0、V1、V4、V5が与えられ、各他方端は共通に接続される。したがって、セクタE1は、スイッチング素子36～39の導通/遮断を適宜制御することによって、駆動電圧V0、V1、V4、V5のうちのいずれかを1つ選択して出力することができる。

【0038】論理回路40は、フリップフロップF1のQ出力、極性反転信号M、表示許可信号DIに基づいて、論理演算を行い、制御信号G1～G4を生成してスイッチング素子36～39の各ゲート端子に出力する。論理回路40の真理値表は、下記の表1に示される。

【0039】

【表1】

真理値表

DI	M	Q	G1 (36)	G2 (37)	G3 (38)	G4 (39)	出力
0	—	—	0	0	0	1	V5
1	0	0	0	1	0	0	V1
1	0	1	1	0	0	0	V0
1	1	0	0	0	1	0	V4
1	1	1	0	0	0	1	V5

【0040】図6は、制御回路16の構成例を示すブロック図である。原発振回路41は、予め定める周波数のクロック信号を生成し、分周回路42に与える。分周回路42は、与えられるクロック信号を、所定の分周比で分周して出力する。分周回路42の出力信号は、マスク回路43および分周回路44に与えられる。マスク回路43は、分周回路42の出力信号を予め定める1水平表示期間だけそのまま出力し、予め定める帰線期間だけ遮断することによって、クロック信号XCKを生成して出力する。分周回路44は、前記分周回路42の出力信号

を所定の分周比で分周して出力する。

【0041】分周回路44の出力信号は、カウンタ45、分周回路46およびカウンタ47に与えられる。カウンタ45は、前記分周回路44の出力信号のパルス数を計数し、所定の計数値になるたびにパルスを出力することによって、クロック信号LPを生成する。分周回路46は、前記分周回路44の出力信号を所定の分周比で分周して、クロック信号YDを生成する。カウンタ47は、分周回路44の出力信号のパルス数を計数し、所定の計数値になるたびにパルスを出力することによって、極性反転信号Mを生成する。

【0042】CPU（中央処理装置）48は、前述の各回路41～47の動作を制御する。またCPU48は、レジスタ49に「0」または「1」を書込むことによって、表示許可信号DIOを生成する。さらにCPU48は、映像信号生成回路50を制御し、表示データUD0～UD7、LD0～LD7を出力させる。

【0043】図7は、上側セグメント駆動回路13の構成例を示す回路図である。上側および下側セグメント駆動回路13、14は、同一の構成であるので、ここでは上側セグメント駆動回路13を例にとりて説明する。上側セグメント駆動回路13は、ラッチ回路H1～H640、I1～I640と、フリップフロップJ1～J640と、セクタK1～K640と、インバータ51、52を含む。なお、図面では、セグメント電極US1、US2に関連する構成のみを示す。

【0044】フリップフロップJ1は、D入力に所定のレベルが与えられ、インバータ52の出力の立上りタイミング、すなわちクロック信号XCKの立下りタイミングで、D入力のレベルをラッチし、ラッチしたレベルをQ出力として出力する。フリップフロップJ1のQ出力は、ラッチ回路H1のCK入力と、フリップフロップJ2のD入力とに与えられる。したがって、ラッチ回路H1は、最初のクロック信号XCKが与えられたときにD入力に入力されている表示データをラッチし、Q出力として出力する。

【0045】フリップフロップJ2は、前記フリップフロップJ1と同様に、クロック信号XCKの立下りタイミングで、フリップフロップJ1のQ出力のレベルをラッチし、Q出力として出力する。フリップフロップJ2のQ出力は、ラッチ回路H2のCK入力と図示しないフリップフロップJ3のD入力とに与えられる。フリップフロップJ2に関して、最初のクロック信号XCKが与えられたときは、フリップフロップJ1のQ出力はローレベルであるが、次のクロック信号XCKが与えられたときは、フリップフロップJ1のQ出力はハイレベルであるので、フリップフロップJ2のQ出力もハイレベルとなる。このように、フリップフロップJ1、J2、…の各Q出力は、クロック信号XCKが立下りたびに順次ハイレベルとなる。

【0046】フリップフロップJ1、J2、…の各Q出力は、それぞれラッチ回路H1、H2、…の各CK入力に与えられている。したがって、表示データUD0～UD7をクロック信号XCKのタイミングに同期して与えることによって、ラッチ回路H1、H2、…は入力される表示データを順番にラッチしていく。ラッチ回路H1、H2、…の各Q出力は、それぞれラッチ回路I1、I2、…の各D入力に与えられている。

【0047】ラッチ回路I1、I2、…は、インバータ51からの出力信号の立上りタイミングで、すなわちクロック信号LPの立下りタイミングで、D入力に与えられている表示データをラッチして、Q出力として出力する。したがって、一水平表示期間において、次の水平表示期間に表示すべき表示データを順番にラッチ回路H1、H2、…に書込み（ラッチし）、全ての書込みが終了した時点で、クロック信号LPを与えることによって、書込まれた表示データが一斉にセクタK1、K2、…に与えられる。

【0048】セクタK1は、ラッチ回路I1のQ出力、極性反転信号M、表示許可信号DIOに基づいて論理演算を行い、論理演算結果に基づいて、駆動電圧V0、V2、V3、V5のうちから1つを選択してセグメント電極US1に出力する。セクタK2、…についても、セクタK1と同様である。セクタK1、K2、…の構成は、前述の図5に示すセクタの構成と同一である。異なる点は、駆動電圧V1の代わりに駆動電圧V2を与え、駆動電圧V4の代わりに駆動電圧V3を与えたことである。セクタKの論理演算の真理値表は、下記の表2に示される。

【0049】

【表2】

真理値表

D I	M	Q	G 1 (36)	G 2 (37)	G 3 (38)	G 4 (39)	出力
0	-	-	0	0	0	1	V 5
1	0	0	0	1	0	0	V 2
1	0	1	1	0	0	0	V 0
1	1	0	0	0	1	0	V 3
1	1	1	0	0	0	1	V 5

【0050】図8は、遮断回路18の動作を示すタイミングチャートである。図8において、期間W1～W4は、前述の図13および図14と同一の長さであるものとする。図2を併せて参照して、図8（1）に示すように時刻t10で、表示許可信号DIOがハイレベルとなる。この時点では、クロック信号YDはローレベルであるので、フリップフロップ27のQ出力である表示許可信号DIはローレベルである。時刻t11で、図8

（2）に示すようにクロック信号YDがハイレベルに立

上ると、フリップフロップ 27 の Q 出力はハイレベルとなる。図 8 (3) に示すクロック信号 LP の立下り時刻 t 12 において、フリップフロップ 25 はクロック信号 YD のレベルをラッチし、Q 出力である信号 SA は図 8 (4) に示すようにハイレベルとなる。クロック信号 YD が正常である場合は、図面において 2 点鎖線で示すように、時刻 t 12 ~ t 13 の間でローレベルに立下るので、信号 SA もローレベルとなり、図 8 (5) に示すようにフリップフロップ 26 の反転 Q 出力である信号 SA もハイレベルのままであるので、フリップフロップ 27 はリセットされず、表示許可信号 DI はハイレベルのままである。

【0051】次に、クロック信号 YD が異常状態である場合、すなわちクロック信号 YD のハイレベル期間が図 8 (2) に示すように正常な期間より長くなった場合の動作を説明する。この場合、次のクロック信号 LP の立下り時刻 t 13 においては、クロック信号 YD はハイレベルであるので、フリップフロップ 25 の Q 出力はハイレベルのままとなる。したがって、フリップフロップ 26 は、時刻 t 13 において信号 SA のハイレベルをラッチすることとなり、これによって反転 Q 出力はローレベルに立下る。このため、フリップフロップ 27 はリセットされ、Q 出力である表示許可信号 DI はローレベルとなる。その後、クロック信号 YD がローレベルに立下る時刻 t 14 において、フリップフロップ 25、26 はともにリセットされる。

【0052】以上のように本実施例によれば、コモン駆動回路 15 の動作を制御するクロック信号 YD が異常になった場合、表示許可信号 DI を強制的にローレベルに立上げるようにした。したがって、上側セグメント駆動回路 13、下側セグメント駆動回路 14、コモン駆動回路 15 がそれぞれ備えるセレクトからは、強制的にグラウンド電位が出力されることとなる。これによって、コモン電極とセグメント電極との電位差が 0 となり、液晶パネル 12 に不所望な画像が表示されることはない。また、クロック信号 YD の異常に起因して複数のコモン電極が同時に選択された場合であっても、セレクトにはグラウンド電位しか供給されないのので、大電流が流れることはなく、駆動回路の破壊が防止される。

【0053】図 9 は、本発明の第 2 実施例を説明するための回路図である。本実施例は、前述の実施例で用いられている遮断回路 18 の代わりに、図 9 に示す遮断回路 55 を用いたことである。遮断回路 55 は、遮断回路 18 の構成要素であるフリップフロップ 25 ~ 27 およびインバータ 28、29 に加えて、カウンタ 56、57、AND 回路 58 およびインバータ 59 を設けたことである。遮断回路 55 は、クロック信号 YD のハイレベル期間が正常時より長くなったときに、表示許可信号 DI を「0」にすることに加えて、クロック信号 YD の立下りから次の立下りまでの間のクロック信号 LP のパルス数

が一定の数以上なければ表示許可信号 DI を「0」にするようにしている。

【0054】カウンタ 56、57 は、それぞれ、クロック信号 YD がハイレベルの間に予め定める設定値をロードし、クロック信号 YD がローレベルになったときに、クロック信号 LP を立下り毎にカウントアップする 8 ビットのカウンタである。本実施例での設定値は、「10h (16 進数)」である。カウンタ 56 は、初期値として「10h」から計数動作を開始し、計数値「127 (10 進数)」になった時点で CA 出力を「1」にする。これによって、カウンタ 57 は引き続きクロック信号 LP の立下り毎にカウントアップされる。カウンタ 57 は、初期値「0」から計数動作を開始し、計数値が「127」になった時点で CA 出力を「1」にする。すなわち、2 つのカウンタ 56、57 によって、クロック信号 LP の立下り回路が「FFh (計数値では 239)」になった時点でカウンタ 57 の CA 出力が「1」となる。

【0055】CA 出力は、インバータ 59 によって反転されてカウンタ 56、57 の各 EP 入力に入力される。これによって、カウンタ 56、57 は、カウントアップを停止する。このとき、CA 出力は「1」を維持し、AND 回路 58 の一方入力に与えられる。AND 回路 58 の他方入力には表示許可信号 DI が与えられる。AND 回路 58 の出力は、フリップフロップ 27 の D 入力に与えられる。したがって、クロック信号 YD の立下りから次の立下りまでの間のクロック信号 LP のパルスの数が「239」であれば、AND 回路 58 の出力はハイレベルとなる。フリップフロップ 27 はクロック信号 YD の立上りタイミングで D 入力のレベルをラッチして、ハイレベルの Q 出力を表示許可信号 DI として出力する。その後、前述したように YD のハイレベル期間が正常時より長くなる場合は、フリップフロップ 25、26 の動作によってフリップフロップ 27 はリセットされ、表示許可信号 DI はローレベルに立下る。

【0056】図 10 は、遮断回路 55 の動作を示すタイミングチャートである。図 10 (1) に示すように、表示許可信号 DI は常にハイレベルである。図 10

(2) に示すように、最初にクロック信号 YD が「1」になったとき、図 10 (5) に示すように表示許可信号 DI は「1」となり、クロック信号 YD がハイレベルの間に、2 つ目のクロック信号 LP (図 10 (3) 参照) の立下り時刻で表示許可信号 DI はローレベルとなる。クロック信号 YD がローレベルとなつてから、クロック信号 LP が 239 回立下つた時点でカウンタ 57 の CA 出力が図 10 (4) に示すように「1」となり、次のクロック信号 YD の立上りで表示許可信号 DI は「1」となる。

【0057】このように本実施例では、前述の実施例のように単にクロック信号 YD がハイレベルの間にクロッ

ク信号LPが2回以上立下った条件だけでは、複数のコモン電極を同時に選択しないという目的を達成するためには不十分であるので、新たな条件を追加している。すなわち、仮にクロック信号YDと次のクロック信号YDとの間隔が充分でない場合は、複数のコモン電極が同時に選択されるために、クロック信号YDの立下り後のクロック信号LPの数を計数するようにした。これによって、クロック信号YDの間隔が短く、コモン電極の走査が1巡しないうちに次のクロック信号YDが入力されて複数のコモン電極が同時に選択されることが防止される。

【0058】図11は、本発明の第3実施例を説明するための回路図である。本実施例は、上側および下側セグメント駆動回路13、14およびコモン駆動回路15に、表示許可信号DIのための入力端子がない場合を想定している。このような場合は、図11に示すような電源回路61を用いればよい。電源回路61は、前述の電源回路17の構成要素に加え、トランジスタ62、63および複数の抵抗R7~R15を設けている。表示許可信号DIのオン/オフに応じて、定電圧発生回路64から

の基準電圧VEEの供給を制御している。

【0059】電源回路61において、定電圧発生回路64からの基準電圧VEEは、トランジスタ62を介して、抵抗R1の一方端に与えられる。トランジスタ62のエミッターベース間には、抵抗R7が接続される。トランジスタ62のベースには、抵抗R8を介して、トランジスタ63のエミッタが接続される。トランジスタ63のコレクタは、グランド電位GNDに接続される。トランジスタ63は、ベースに抵抗R9を介して遮断回路18、55からの表示許可信号DIが与えられるとともに、ベース-コレクタ間に抵抗R10が接続される。

【0060】表示許可信号DIがハイレベルであるとき、トランジスタ63は導通し、コレクタ電流が流れ、これによって、トランジスタ62が導通し、抵抗R1に基準電圧VEEが供給される。表示許可信号DIがローレベルであるとき、トランジスタ63は遮断され、コレクタ電流は流れないので、トランジスタ62も遮断され、抵抗R1への基準電圧VEEの供給が遮断される。本実施例においても、前述と同様の効果が得られる。

【0061】

【発明の効果】以上のように本発明によれば、表示制御信号の異常が検知されときは、駆動手段への電力供給を強制的に遮断するようにしたので異常のある表示制御信号に基づいて不所望な画像が表示手段に表示されることはなく、表示品位が向上する。また異常な表示制御信号に基づく不所望な駆動手段の動作が防止され、たとえば大電流が流れるなどして駆動手段が破壊されることが防止され、表示装置の歩留まりおよび信頼性が格段に向上

する。

【図面の簡単な説明】

【図1】本発明の一実施例である液晶表示装置11の概略的構成を示すブロック図である。

【図2】図1に示す遮断回路18の構成例を示す回路図である。

【図3】図1に示す駆動回路21の構成例を示す回路図である。

【図4】図1に示す電源回路17の構成例を示す回路図である。

【図5】図3に示すセクタE1の構成例を示す回路図である。

【図6】図1に示す制御回路16の構成例を示すブロック図である。

【図7】図1に示す上側セグメント駆動回路13の構成例を示す回路図である。

【図8】図2に示す遮断回路18の動作を説明するためのタイミングチャートである。

【図9】本発明の第2実施例に用いられる遮断回路55の構成例を示す回路図である。

【図10】図9に示す遮断回路55の動作を説明するためのタイミングチャートである。

【図11】本発明の第3実施例に用いられる電源回路61の構成例を示す回路図である。

【図12】従来例である液晶表示装置1の概略的構成を示すブロック図である。

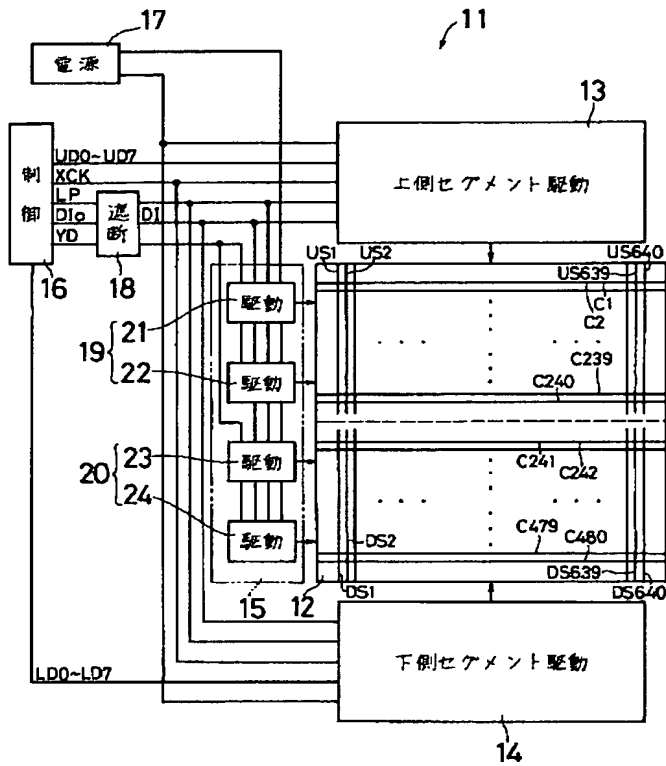
【図13】コモン駆動回路4の正常時の動作を説明するためのタイミングチャートである。

【図14】コモン駆動回路4の異常時の動作を説明するためのタイミングチャートである。

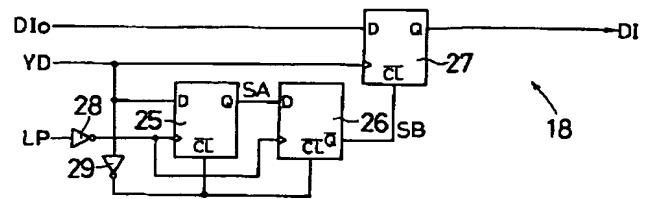
【符号の説明】

11 液晶表示装置
12 液晶パネル
13 上側セグメント駆動回路
14 下側セグメント駆動回路
15 コモン駆動回路
16 制御回路
17, 61 電源回路
18, 55 遮断回路
25~27 フリップフロップ
28, 29, 59 インバータ
56, 57 カウンタ
58 AND回路
62, 63 トランジスタ
64 定電圧発生回路
R7~R10 抵抗
DI, DIo 表示許可信号
LP, YD クロック信号

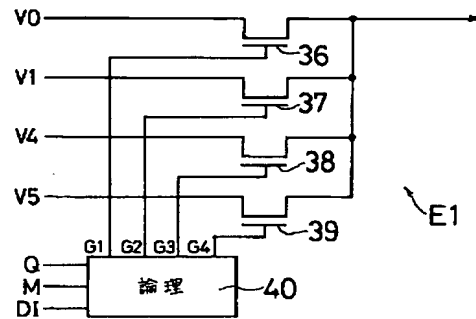
【図 1】



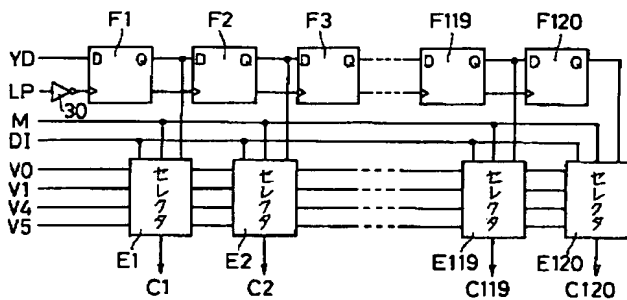
【図 2】



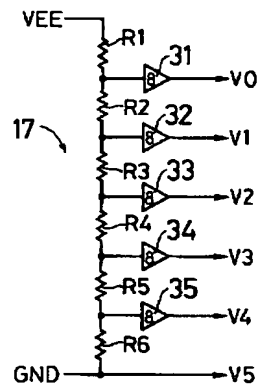
【図 5】



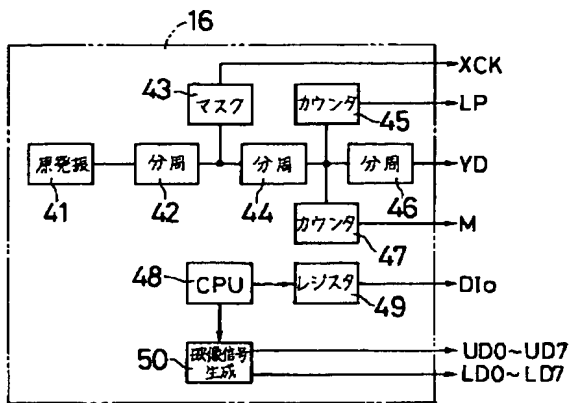
【図 3】



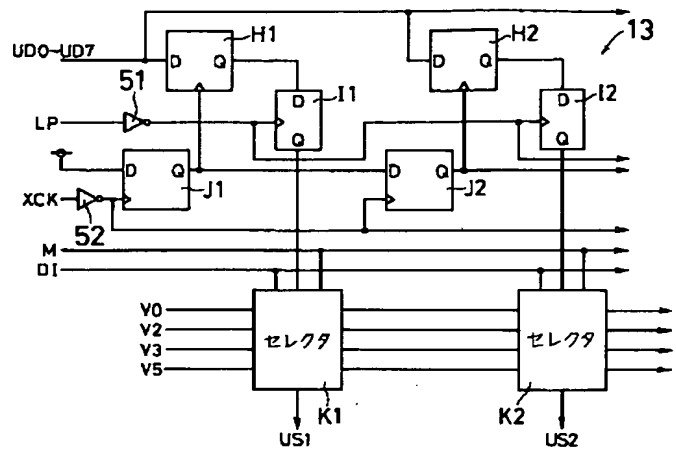
【図 4】



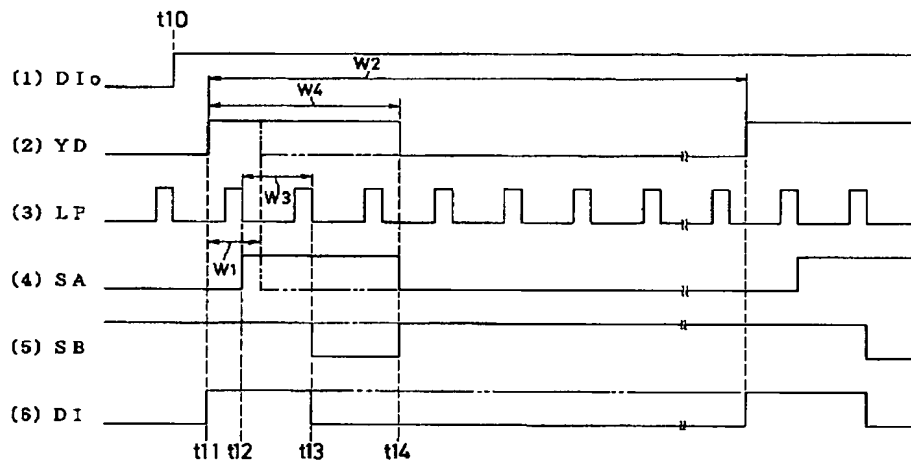
【図 6】



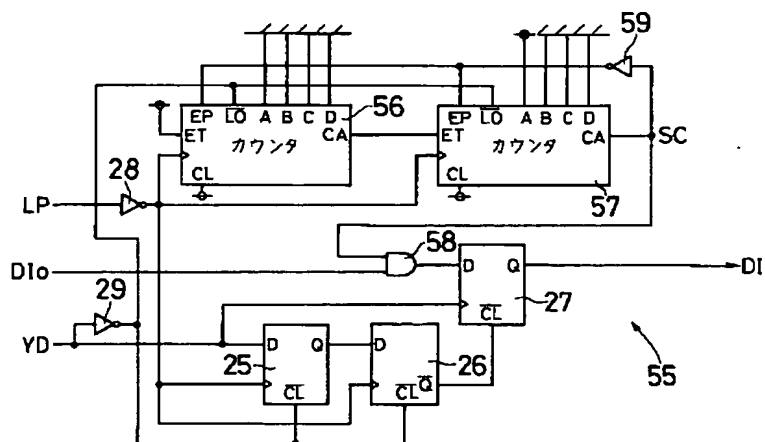
【図 7】



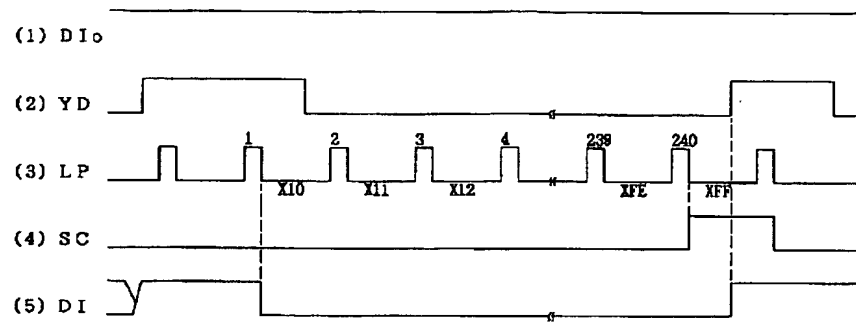
【図 8】



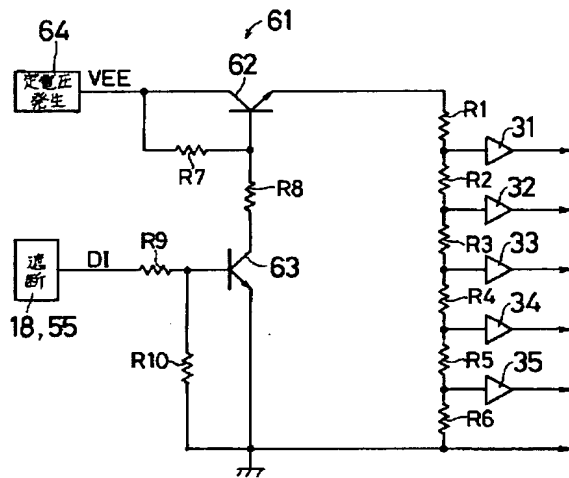
【図 9】



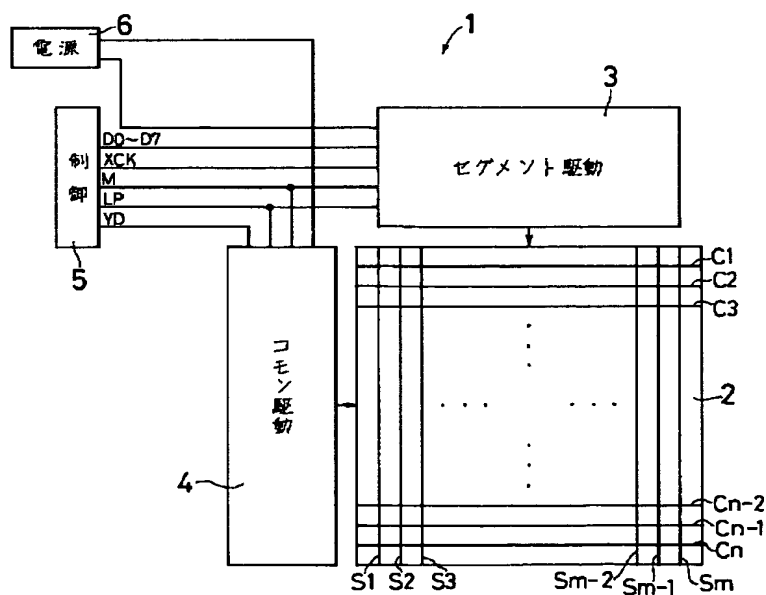
【図 10】



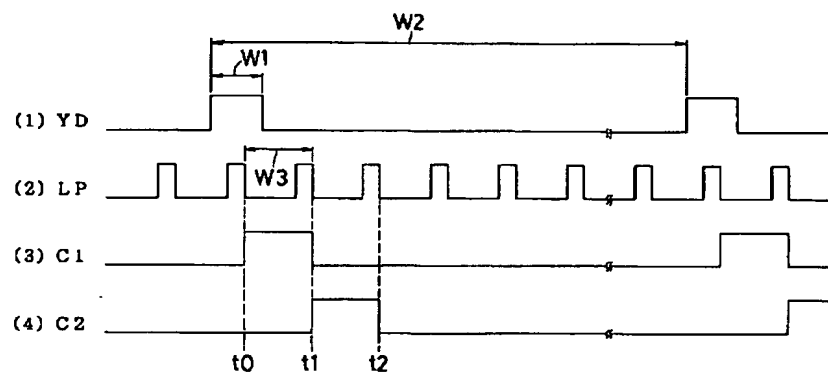
【図 11】



【図 12】



【図 13】



【図 14】

